

Prof. dr Branko L. Dokić  
Prof. dr Predrag M. Petković

ANALIZA I  
PROJEKTOVANJE  
CMOS DIGITALNIH  
INTEGRISANIH KOLA

Beograd  
2017.

Branko L. Dokić, Predrag M. Petković  
ANALIZA I PROJEKTOVANJE CMOS DIGITALNIH INTEGRISANIH KOLA  
1. izdanje

Izdavač  
Akademska misao  
Bd[ ad] S S#, Beograd

Za izdavača  
Marko Vujadinović

Recenzenti  
Prof. dr Milunka Jevtić, Elektronski fakultet Niš  
Prof. dr Branko Blanuša, Elektrotehnički fakultet Univerziteta u Banjoj Luci

Lektor  
Dr Biljana Turanjanin

Štampa  
Grafid d.o.o. Banjaluka

Za štampariju  
Branislav Ivanković

;E4@ +) \*Ž\*( Ž & ( Ž +(Ž\*

Tiraž  
200 primjeraka

© Akademska misao Beograd  
Sva prava zadržana. Nije dozvoljeno da bilo koji dio ove knjige bude snimljen, uključujući, ali ne ograničavajući se na fotokopiranje, fotografiju, magnetni ili bilo koji drugi vid zapisa, bez prethodne dozvole autora i izdavača.

Da smo pjesnici, opjevali bismo našu ljubav  
prema unucima. Ovako, moraćemo se zado-  
voljiti time da im posvetimo ovu knjigu.

Našim unucima

Nadi

Rastku

Hristini

Luki

Gabrieli

Katarini

Ivanu

Uku

Đorđu

Paulu

Branko Dokić

Predrag Petković

# Sadržaj

<b>PREDGOVOR .....</b>	<b>1</b>
<b>Glava 1</b>	
<b>UVOD U PROJEKTOVANJE .....</b>	<b>5</b>
1.1. DEFINICIJA PROJEKTOVANJA .....	6
1.1.1. Faze projektovanja .....	6
1.1.2. Domeni opisa projekta.....	7
1.1.3. Nivoi projektovanja .....	8
1.1.4. Projektovanje u užem smislu .....	11
1.2. PROCENA KVALITETA PROJEKTA.....	12
1.2.1. Cena.....	14
1.2.2. Pouzdanost .....	20
1.2.3. Brzina .....	22
1.2.4. Potrošnja energije .....	25
1.2.5. Mogućnost skaliranja .....	33
1.3. STRATEGIJE PROJEKTOVANJA .....	43
1.4. STILOVI PROJEKTOVANJA .....	44
1.4.1. SIC .....	45
1.4.2. ASIC .....	48
<i>Potpuno projektovanje po narudžbini .....</i>	<i>49</i>
<i>Djelomično projektovanje po narudžbini .....</i>	<i>50</i>
<i>Makročelije.....</i>	<i>53</i>
<i>Gejtovska polja.....</i>	<i>54</i>
<i>Struktuisani ASIC.....</i>	<i>56</i>
1.4.3. SASIC .....	57
<i>Jednostavne programabilne logičke komponente - SPLD.....</i>	<i>58</i>
<i>Složene programabilne logičke komponente - CPLD .....</i>	<i>59</i>
<i>Programabilni gejtovski nizovi - PGA .....</i>	<i>61</i>
1.4.4. Izbor odgovarajućeg stila projektovanja.....	64
1.5. AUTOMATIZACIJA PROJEKTOVANJA.....	65
<i>Literatura .....</i>	<i>74</i>

**Glava 2****MOS TRANZISTOR ..... 79**

2.1. OSNOVNE STRUKTURE .....	80
2.1.1. Indukovani i ugrađeni kanal .....	81
2.1.2. Samoizolacija.....	82
2.2. NAPON PRAGA.....	83
2.3. STATIČKE KARAKTERISTIKE .....	88
2.3.1. Efekat skraćanja kanala.....	91
2.3.2. Pretpragovska struja (slaba inverzija) .....	93
2.3.3. Probojni napon .....	97
2.4. SKALIRANJE DIMENZIJA .....	98
2.4.1. Pravila konstantnog električnog polja .....	99
2.4.2. Strategija konstantnog napona .....	101
2.4.3. Generalisana teorija skaliranja.....	101
2.5. SEKUNDARNI EFEKTI SKALIRANJA .....	102
2.5.1. Zasićenje brzine i smanjenje pokretljivosti .....	103
2.5.2. Analitički model MOS tranzistora s kratkim kanalom .....	104
2.5.3. Promjene praga.....	106
2.5.4. Efekti vrućih nosilaca.....	107
2.5.5. Otpornost sorsdrejn .....	108
2.6. PARAZITNE KAPACITIVNOSTI .....	109
2.6.1. Kapacitivnost gejta .....	109
2.6.2. Kapacitivnost pn spojeva .....	112
2.7. SPICE MODELI .....	116
2.7.1. Level 1 model .....	117
2.7.2. Level 2 model .....	118
2.7.3. Level 3 model .....	119
2.7.4. BSIM model .....	120
2.7.5. Temperaturna zavisnost.....	123

**Glava 3****VHDL – PRIMENA U SINTEZI ..... 125**

3.1. OSNOVE SEMANTIKE I SINTAKSE.....	127
3.1.1. Opis hardvera.....	128
3.1.2. Signali.....	130
3.1.3. Osnove VHDL pravopisa.....	133
3.1.3. VHDL operatori .....	139
3.1.4. Konkurentne i sekvencijalne naredbe.....	140
3.1.4. Implicitna memorija .....	148
3.2. STILOVI OPISA PROJEKTA .....	150

3.2.1. Prvi projekat .....	154
<i>Definisanje entiteta</i> .....	154
<i>Definisanje arhitekture</i> .....	155
3.3. VERIFIKACIJA PROJEKTA - TB .....	159
3.3.1. Definisanje UUT kao komponente .....	161
3.3.2. Definisanje pobude i praćenje odziva .....	164
3.4. OSNOVNA ARITMETIČKA KOLA .....	172
3.4.1. Sabirači .....	172
3.4.2. Akumulatori .....	179
3.4.3. Brojači .....	181
<i>Literatura</i> .....	185
<b>Glava 4</b>	
<b>CMOS proces .....</b>	<b>187</b>
4.1. OSNOVNI CMOS PROCES .....	188
4.2. SUBMIKRONSKI CMOS PROCES .....	193
4.3. PRAVILA PROJEKTOVANJA LEJAUTA .....	201
4.3.1. Provera pravila projektovanja, DRC .....	207
4.3.2. Ekstrakcija električne šeme .....	208
4.3.3. Pravila vezana za tehnologiju .....	209
4.3.4. Pravila vezana za gustinu slojeva .....	210
<i>Literatura</i> .....	211
<b>Glava 5</b>	
<b>STANDARDNA LOGIKA KOLA .....</b>	<b>213</b>
5.1. CMOS INVERTOR .....	213
5.1.1. Prenosne karakteristike .....	215
5.1.2. Napon praga .....	218
5.1.3. Struja prelaza .....	221
5.1.4. Margina smetnji i neosjetljivost na smetnje .....	222
5.1.4. Dinamike karakteristike .....	225
<i>Model MOS tranzistora</i> .....	225
<i>CMOS model</i> .....	227
<i>Odziv na skokovitu pobudu</i> .....	228
5.1.6. Kružni oscilator .....	232
5.1.7. Temperaturne karakteristike .....	233
5.1.8. Potrošnja elektrine energije .....	236
<i>Statička potrošnja</i> .....	236
<i>Dinamička potrošnja</i> .....	239
<i>Potrošnja prelaza</i> .....	241
5.1.9. Parazitarne diode .....	243

5.1.10. Tiristorski efekat .....	244
5.1.11. Ograničnja napona napajanja .....	249
5.2. TRANSMISIONI GEJT – TG .....	249
5.2.1. Karakteristika otpornosti $R_{ON}$ .....	251
<i>Temperaturne karakteristike</i> .....	255
5.3. SLOŽENA LOGIKA KOLA .....	255
5.3.1. Prenosne karakteristike .....	260
<i>Kombinacija aktivnih ulaza [Dok 82]</i> .....	264
5.3.3. Napon praga i ulazni logiki nivoi .....	265
5.3.4. Optimalna geometrija .....	267
5.3.5. Izlazna otpornost .....	270
5.3.6. Dinamike karakteristike NI i NILI kola .....	272
<i>Literatura</i> .....	274

## Glava 6

<b>ULAZNA I IZLAZNA KOLA .....</b>	<b>275</b>
6.1. ULAZNA ZAŠTITA KOLA .....	275
6.2. ULAZNA CMOS KOLA .....	277
6.2.1. Invertujući Šmitov triger .....	279
<i>Šmitovi trigeri sa jednim sors floverom</i> .....	285
6.2.2. Leč Šmitov triger.....	287
<i>Šmitovi trigeri sa pet tranzistora</i> .....	290
6.2.3. NI i NILI Šmitova kola .....	291
6.2.4. Šmitova NI i NILI kola sa histerezisom na jednom ulazu .....	295
6.3. IZLAZNA KOLA .....	296
6.3.1. Super baferi .....	296
<i>Optimalna geometrija invertora</i> .....	297
<i>Jednostepeni bafer</i> .....	298
<i>Višestepeni bafer</i> .....	299
6.3.2. Trostatička kola .....	300
6.3.3. Blokiranje izlaznog tiristorskog efekta.....	303
6.4. KOLA ZA PRILAGOĐENJE .....	304
<i>Literatura</i> .....	305

## Glava 7

<b>KOLA MALE POTROŠNJE.....</b>	<b>307</b>
7.1. PRETPRAGOVSKI CMOS REŽIM.....	309
7.1.1. Statičke prenosne karakteristike invertora .....	310
7.1.2. Složenija logička kola .....	314
7.1.3. Potrošnja električne energije.....	316
7.1.4. Model kašnjenja .....	317

7.2. HIBRIDNI CMOS REŽIM .....	320
7.3. ALTERNATIVNE TOPOLOGIJE .....	322
7.3.1. PSEUDO-nMOS LOGIČKA KOLA .....	323
7.3.2. DCVSL .....	327
7.3.3. Prenosna logika .....	329
CMOS prenosna logika - TGL.....	330
nMOS prenosna logika .....	337
CPL - komplementna prenosna logika.....	340
7.3.4. Puš-pul prenosna logika (PPL).....	342
7.4. DINAMIČKA LOGIČKA KOLA .....	344
7.4.1. Opšte karakteristike .....	346
7.4.2. Rasterećenje kondenzatora .....	348
7.4.3. Raspodjela naelektrisanja .....	349
7.4.4. Kaskadna veza .....	350
7.5. DOMINO LOGIKA .....	351
7.6. NORA CMOS LOGIKA (NPCMOS) .....	352
7.7. JEDNOTAKTNA LOGIKA - TSPCL .....	355
Literatura .....	357

## Glava 8

### SEKVENCIJALNA LOGIČKA KOLA .....359

8.1. CMOS D LEČ.....	359
8.1.1. Alternativne D leč topologije .....	365
Impulsni leč .....	365
8.1.2. Direktno postavljanje .....	368
8.1.3. Metastabilna stanja .....	371
8.2. D FLIPFLOP .....	371
8.2.1. Signal dozvole .....	379
8.2.2. Alternativne DFF topologije .....	382
Diferencijalni flipflop .....	386
8.2.3. Transformacija D u druge tipove flipflopova .....	387
8.3. DINAMIČKI POMJERAČKI REGISTRI .....	392
8.4. C <sup>2</sup> MOS LEČ .....	498

## Glava 9

### PROGRAMABILNE LOGIČKE KOMPONENTE - PLD .....401

9.1. TEHNIKE PROGRAMIRANJA.....	404
9.1.1. UVCMOS tehnologija .....	406
9.1.2. E <sup>2</sup> CMOS tehnologija .....	409
9.1.3. FE <sup>2</sup> CMOS tehnologija .....	414
9.1.4. SRAM tehnika.....	416



9.2. SPLD-JEDNOSTAVNE PLD .....	418
9.2.1. I/ILI mreže .....	420
9.2.2. Izlazne opcije .....	423
9.2.3. Dvosmjerni priključci i linije povratne veze .....	424
9.2.4. Registariski izlaz .....	425
9.2.5. Vrste SPLD .....	426
9.3. CPLD - SLOŽENE PLD .....	433
9.4. FPGA – PROGRAMABILNE GEJTOVSKE MREŽE .....	438
9.4.1. LCA - mreže logičkih ćelija .....	441
9.4.2. MACH - CMOS makro mreže.....	449
9.4.3. ACT FPGA .....	451
9.4.1. Napredne FPGA .....	453
9.5. PROJEKTOVANJE SA PLD.....	458
9.6. SOFTVER ZA PROJEKTOVANJE SA PLD .....	461

## Glava 10

### **PROGRAMIRANJE PLD.....465**

10.1. QUARTUS PRIME® 16.1.....	467
10.1.1. Otvaranje novog projekta.....	467
10.1.2. Unos VHDL opisa u Quartus .....	471
10.1.3. Prevođenje VHDL opisa.....	472
10.1.4. Verifikacija simulacijom .....	473
10.1.5. Prikaz rezultata sinteze .....	479
10.2. SEMAFOR ZA TENIS .....	486
10.2.1. Opis projektnog zadatka.....	486
10.2.2. Realizacija projekta .....	486
<i>Literatura .....</i>	<i>493</i>

## Glava 11

### **PROJEKTOVANJE ASIC .....**495

11.1. LEJAUT STANDARDNIH ĆELIJA .....	497
11.2. PLANIRANJE RASPOREDA .....	500
11.2.1. Izbor kućišta.....	501
<i>Tipovi kućišta.....</i>	<i>504</i>
11.2. 2. Globalni lejaut integrisanih kola .....	507
<i>Uticao rasporeda stopica .....</i>	<i>511</i>
<i>Uticao toka signala .....</i>	<i>513</i>
<i>Ulazno/izlazni baferi na blokovima .....</i>	<i>515</i>
<i>Prostor između blokova .....</i>	<i>516</i>
11.3. PROJEKTOVANJE LEJAUTA.....	517
11.3.1. Tehnološki zavisna sinteza .....	518

---

11.3.2. Fizičko projektovanje .....	518
<i>Procena površine</i> .....	519
<i>Raspoređivanje stopica</i> .....	520
<i>Razmeštaj i povezivanje</i> .....	522
<i>Literatura</i> .....	524
<b>Dodatak 1</b>	
<b>LTspice</b> .....	<b>529</b>
D1.1. OSNOVNE NAREDBE .....	531
D1.2. INSTALACIJA I POKRETANJE PROGRAMA .....	538
D1.3. OPIS KOLA - UNOS ELEKTRIČNE ŠEME .....	540
D1. 4. ANALIZA KOLA .....	551
D1.4.1. DC analiza .....	552
<i>DC radna tačka - DC op pnt</i> .....	552
<i>Skaliranje vrednosti generatora - DC Sweep</i> .....	553
<i>DC prenosna funkcija - DC Transfer</i> .....	557
D1.4.2. AC analiza .....	560
<i>Skiciranje frekvencijskih karakteristika - .ac</i> .....	560
<i>Analiza šuma - Noise</i> .....	568
D1.4.3. Analiza u vremenskom domenu .....	570
<b>Literatura</b> .....	<b>587</b>
<b>Indeks pojmova</b> .....	<b>593</b>

## Skraćenice

2D – dvodimenzionalno

2G – druga generacija

3D – trodimenzionalno

3G – treća generacija

A/D – analogno - digitalni

AHDL – altera HDL kôd

ALU – aritmetičko-logička jedinica

ASIC - integrisana kola specifične namene

BiCMOS – bipolarna CMOS

CCL – aritmetička i kontrolna logika

CD – potpuno projektovanje po narudžbini

CE – omogućenje komponente (čipa)

CERN - Evropski savet za nuklearna istraživanja

CIF – Kalteh format za razmenu podataka o leljautu

CIN – ulazni prenos

CL – takt (klok) impuls

CLB - konfigurirajući logički blokovi

CMOS – komplementarni MOS

C<sup>2</sup>MOS – taktovani CMOS

CPL –komplementarna prenosna logika

CS – selekcija čipa (komponente)

D – tip bistabilnog kola

D/A – digitalno - analogni

DAC – digitalno-analogni konvertor

DARPA - agencija za razvoj novih tehnologija pri Ministarstvu obrane SAD-a

DAT – podatak

DEF – format za razmenu projektantskih podataka o IC

DET – dvostruki ivični filpflop

DFF – D flipflop  
DLL - Kašnjenje zatvorene petlje  
DPL – diferencijalna prenosna logika  
DRC – provera pravila projektovanja  
DSP – digitalni signal procesor  
EDIF – format za razmenu podataka o projektovanom elektronskom kolu  
EEPROM (E<sup>2</sup>PROM) – PROM sa električnim brisanjem  
EPROM – izbrisivi PROM  
e-RAM – ugrađeni RAM  
EXILI (XOR) – logička nejednakost  
EXNILI (XNOR) – logička jednakost  
FAMOS – tranzistor s plivajućim gejtom  
FD – potpuno po narudžbi  
FE<sup>2</sup>PROM – flash E2PROM  
FET – tranzistor sa efektom polja  
FIFO – prvi na ulazu prvi na izlazu  
FinFET – 3D tranzistor sa izdignutim gejtom  
FIT - broj otkaza u vremenu označava se sa  
FLOTOX – MOS tranzistor s plivajućim gejtom i tunelovanim oksidom  
FPGA – korisnički (lokalno) programabilne gejtovske mreže  
IOB – ulazno/izlazni blokovi  
DCVSL – dinamička/diferencijalna kaskadna logika  
GA – gejtovska mreža  
GAL – opšta logička mreža  
GDSII – format za razmenu podataka o lejauiu  
GERBER – skup formata za razmenu podataka o projektovanoj štampanoj ploči  
GND - masa  
GSI – kola ogromnog stepena integracije  
GST – generalisana teorija skaliranja  
HDL - jezik za opis hardvera  
I (AND) – logičko množenje (konjunkcija)  
I/O - ulazno/izlazni (periferni)  
IC – integrisano kolo  
ILI (OR) – logičko sabiranje (disjunkcija)  
IP – Intelektualno vlasništvo  
JK – tip flipflopa  
JKFF – JK flipflop  
LB – logički blok

---

LCA – mreža logičkih ćelija  
LEF – format za razmenu bibliotečkih podataka o projektovanom IC  
LSI – visoki stepen integracije  
LUT – konverzion (pregledna) tabela  
MACH – CMOS makro mreža  
MB – memorijski blok  
MC – memorijska ćelija  
MOS – struktura metal oksid poluprovodnik  
MPD – maksimalna snaga disipacije (procesora)  
MPGA - maskom programirani gejtovski nizovi  
MPSoC - višeprocenih sistem na čipu  
MS – glavni-pomoćni (primarni-sekundarni)  
MSI - kola srednjeg stepena integracije  
MTBF - srednje vreme otkaza označava  
MTCMOS – multipragovski CMOS  
MUX – multipleksor  
n<sup>2</sup>C<sup>2</sup>MOS – C<sup>2</sup>MOS taktovan preko nMOS  
NE (NOT) – logički komplement  
NI (NAND) – komplement od konjukcije  
NILI (NOR) – komplement disjunkcije  
nMOS – MOS tranzistor sa n kanalom  
NORACMOS – CMOS logika bez protrčavanja podataka  
NTL/ZTL –prenosna logika nultog praga  
OE – omogućenje izlaza  
OLMC – izlazna logička makroćelija  
PAL – programabilna I logika  
p<sup>2</sup>C<sup>2</sup>MOS – C<sup>2</sup>MOS taktovan preko pMOS  
PDP – proizvod logičkog kašnjenja i potrošnje  
PGA – programabilna gejtovska logička mreža  
PLA – programabilna logička mreža  
PLD – programabilna logička komponenta  
PLL – fazno zatvorena petlja  
PLS – programabilni logički sekvencer  
pMOS – MOS tranzistor sa p kanalom  
PPL – puš-pul prenosna logika  
PROM – programabilni ROM  
PSM – programabilne prekidačke matrice  
RAM – memorija sa direktnim pristupom

RFID – radio-frekventni identifikator  
ROM – samoočitljiva memorija  
RS – tip bistabilnog kola  
RSFF – RS flipflop  
RTL – registarski nivo prenosa signala  
SASIC - standardna integrisana kola specifične namene  
SC - standardne ćelije  
SD – dijelimično po narudžbi  
SIC - standardna integrisana kola  
SoG – more gejtova  
SPICE –programski paket za simulaciju električnih kola  
SPLD – jednostavna PLD  
SPRL – prenosna logika sa restaurisanim izlazima  
SRAM – statički RAM  
SSI - kola malog stepena integracije  
T – tip flipflopa  
TB – trostatički bafer  
TDP - projektovana termička snaga (procesora)  
TGL –prenosna logika sa transmissionim gejtom  
TSPCL – jednotaktna logika  
UIE - Ulazno/Izlazni Elementi  
ULSI - kola ultra velikog stepena integracije  
UUT – komponenta koja se ispituje  
UVC MOS – CMOS sa brisanjem ultravioletnom svjetlošću  
VHDL – programski jezik za opis hardvera  
VLSI - kola vrlo visokog stepena integracije  
WSI - sistem na pločici

# PREDGOVOR

Prije samo dvadesetak godina, mogli smo pročitati u vrhunskim svjetskim naučnim časopisima prognoze eminentnih naučnika po kojima monolitne tehnologije na silicijumu doživljavaju vrhunac negdje oko 2010. godine. Optimistički scenarij je predviđao ograničenja pri dužinama kanala MOS tranzistora oko 62 nm. Da su ta predviđanja uveliko prevaziđena govori i činjenica da današnje tržište raspolaže komercijalnim CMOS 7 nanometarskim procesorima, a u najavi su tehnologije sa svega nekoliko nanometara.

Zahvaljujući mogućnostima skaliranja dimenzija MOS tranzistora, CMOS tehnologija je apsolutno dominantna i ostaće tako i narednih više od desetak godina. Stoga su kursevi tehnologije CMOS integrisanih kola zastupljeni na svim nivoima studija elektronike, od prvog do trećeg ciklusa. To nas je i podstaklo da objedinimo ono što smo, iz ove oblasti, godinama predavali studentima Elektrotehničkog fakulteta u Banjaluci i Elektronskog fakulteta u Nišu, u jednu knjigu. Cilj nam je, ne samo da olakšamo studentima pripremanje ispita, već i da budući akademci steknu neophodna znanja koja će im omogućiti rad na projektima CMOS integrisanih kola i sistema na čipu. Knjiga je, dakle, namijenjena ne samo studentima već i diplomiranim inženjerima koji će projektovati digitalne sisteme.

Knjiga se sastoji od jedanaest glava, jednog dodatka i popisa korišćene literature. U Glavi 1 definisani su: osnovni pojmovi, strategije i stilovi projektovanja te kriterijumi za procjenu projekta. Glava se završava opisom alata za automatizaciju projektovanja, jer je projektovanje integrisanog kola i sistema nezamislivo bez odgovarajućeg softvera.

Druga glava posvećena je MOS tranzistorima. Opisane su osnovne strukture nMOS tranzistora sa indukovanim i ugrađenim kanalom, njihove statičke karakteristike, skaliranje dimenzija, sekundarni efekti skaliranja i parazitne kapacitivnosti. Glava se završava sa četiri SPICE modela MOS tranzistora.

U trećoj glavi opisan je VHDL-jezik za opis strukture, odnosno topologije, digitalnih kola. Akcenat je na primjeni VHDL-a u sintezi i verifikaciji. Cilj nam je da čitaoca osposobimo da razumije značenje pojedinih linija VHDL kôda i poveže

ga sa funkcijom koju kolo obavlja. U svim primjerima korišćene su opcije koje prepoznaje većina programa za automatsku sintezu i verifikaciju.

Kratak pregled osnovnog i submikronskog CMOS tehnološkog procesa dat je u četvrtoj glavi. Opisana su pravila projektovanja svih nivoa maski neophodnih za izradu integrisanog kola poznata kao projektovanje lejauta. Sastavni dio ovog poglavlju su i osnovna pravila kojih se projektanti moraju pridržavati tokom fizičkog projektovanja.

Analiza i sinteza standardnih statičkih CMOS logičkih kola opisana je u Glavi 5. Svi analitički modeli statičkih i dinamičkih parametara CMOS kola zasnovani su na primjeni pojednostavljenih modela statičkih strujno-naponskih karakteristika nMOS i pMOS tranzistora. Osim osnovnih kola, invertora i prenosnog gejtta, analiziran je standardni postupak sinteze složenijih logičkih kola (NI, NILI, ...) i uticaj broja ulaza na njihove karakteristike.

Šesta glava posvećen je ulaznim i izlaznim CMOS kolima kao što su: ulazna zaštitna kola, Šmitova logička kola, super baferi i trostatička kola, preko kojih integrisano kolo komunicira sa okruženjem. Opisana su, takođe, kola za prilagođenje i način blokiranja izlaznog tiristorskog efekta.

CMOS kola male potrošnje, sa tehnološkog i topološkog aspekta, čine sadržaj sedme glave. Pod tehnološkim aspektom ovdje se podrazumijevaju različiti radni režimi CMOS logike: standardni, pretpragovski i hibridni. Topološki aspekt podrazumijeva alternativne topologije i obuhvata: pseudo nMOS logiku, DCVLS, prenosnu logiku i puš-pul prenosnu logiku. Osim pomenuta dva aspekta, analizirana su i dinamička CMOS logička kola.

Sekvencijalna logička kola opisana su u Glavi 8. Prvo su analizirane osnovne topologije D lečeva i flipflopova. Drugi dio odnosi se na alternativne topologije D flipflopova kao što su: impulsni ivični, bipolarni ivični i diferencijalni flipflopovi. Glava se završava sa dinamičkim pomjeračkim registrima i C<sup>2</sup>MOS lečevima.

U devetoj glavi analizirane su programabilne logičke komponente - PLD. Opisane su četiri tehnike programiranja te unutrašnje strukture: jednostavnih (SPLD) i kompleksnih PLD (CPLD) te programabilnih gejtovskih mreža (FPGA). U petom i šestom poglavlju ove glave dat je kratak osvrt na projektovanje sa PLD i na softver za projektovanje sa PLD.

Postupak projektovanja PLD opisan je u Glavi 10. Primjenom softverskog alata *Quartus* prikazane su sve faze projektovanja generatora 32-bitnih pseudoslučajnih brojeva na FPGA iz familije *Cyclon IV*. Primjena *Quartus Prime* alata za projektovanje FPGA pokazana je i na nešto složenijem primjeru projektovanja integrisanog kola namijenjenog za prikaz rezultata teniskog meča na semaforu.



Na primjeru teniskog semafora, u Glavi 11 dat je tok projektovanja realnog digitalnog kola na bazi standardnih ćelija, primenom alata koji distribuira *Mentor Graphics*. Opisane su sve faze projektovanja do generisanja fajlova potrebnih za proizvodnju integrisanog kola.

Dodatak 1 sadrži kratko korisničko uputstvo *LT Spice* programa za analizu ponašanja elektronskih kola. Budući da se ovaj program nudi besplatno, smatrali smo da može biti koristan svim početnicima.

Većina glava u kojima je citirano više referenci završava njihovim popisom. Na kraju knjige je kompletan spisak korišćene literature.

Autori su u ovu knjigu ugradili svoje višegodišnje iskustvo. Njenom sadržaju i pripremi za štampu svojim sugestijama, radu na tehničkoj pripremi, čitanju i korigovanju teksta, značajno su doprinijeli mnogi saradnici. Posebno se zahvaljujemo prof. dr Tatjani Pešić-Brđanin, dr Mladenu Knežiću te asistentima Aleksandru Pajkanoviću, Bojanu Ercegu, Svjetlani Kovačević i Dragu Čavki sa Elektrotehničkog fakulteta u Banjaluci, kao i dr Miljani Milić i asistentu Dejanu Mirkoviću sa Elektronskog fakulteta u Nišu. Tekst je pažljivo pročitala i jezički uredila dr Biljana Turanjanin, učinivši ga jezički korektnim i sadržajno razumljivijim. Autori su joj veoma zahvalni.

Sada je knjiga na ocjeni onih kojima je namijenjena – studentima i inženjerima. Ako se potkrala poneka greška, što prati skoro svaku knjigu, oni će je sigurno pronaći. Bićemo im veoma zahvalni ako nam ih pošalju na adrese: [branko.dokic@etf.unibl.org](mailto:branko.dokic@etf.unibl.org) ili [predrag.petkovic@elfak.ni.ac.rs](mailto:predrag.petkovic@elfak.ni.ac.rs).

Banjaluka / Niš, septembar 2017.

Autori