

Един Долићанин, Јован Ђорђевић, Сениша Ранђић

АРХИТЕКТУРА РАЧУНАРА

ПРОЈЕКТОВАЊЕ МОДУЛА ДИГИТАЛНИХ СИСТЕМА СА VHDL

АКАДЕМСКА МИСАО
Државни универзитет у Новом Пазару
Београд, 2021.

Един Долићанин, Јован Ђорђевић, Синиша Ранђић

АРХИТЕКТУРА РАЧУНАРА
ПРОЈЕКТОВАЊЕ МОДУЛА
ДИГИТАЛНИХ СИСТЕМА СА VHDL

Рецензенти:

Проф. др Вељко Милутиновић,
редовни професор Електротехничког факултета у Београду
Проф. др Бошко Николић,
редовни професор Електротехничког факултета у Београду

Издавачи

Државни универзитет у Новом Пазару
Академска мисао, Београд

За издаваче

Проф. др Миладин Костић, ректор
Марко Вујадиновић, дипл. инж. електр.

Дизајн насловне стране

Блажо Бојић

Штампа:

Академска мисао, Београд

Тираж: 300 примерака

ISBN 978-86-7466-862-7

ПРЕДГОВОР

Књига представља уџбеник за предмет Архитектура рачунара II на Државном универзитету у Новом Пазару.

У глави 1 се најпре уводе основни појмови везани за Булову алгебру, разматра представљање прекидачких функција Буловим изразима, приказује један од поступака минимизације прекидачких функција коришћењем Карнових карти, даје дефиниција прекидачких мрежа, уводи подела прекидачких мрежа на комбинационе и секвенцијалне, разматрају логички и меморијски елементи који се користе за реализацију прекидачких мрежа, дефинише структура комбинационих и секвенцијалних прекидачких мрежа и даје поступак синтезе комбинационих и секвенцијалних прекидачких мрежа којим се на основу задатог закона функционисања одређује структурна шема. Затим се разматрају стандардни комбинациони модули и то мултиплексер, демултиплексер декодер, кодер, померач, инкрементер и декрементер, сабирач и одузимач, аритметичка јединица, логичка јединица, аритметичко-логичка јединица и компаратор. Потом се разматрају и стандардни секвенцијални модули и то регистри са паралелним и серијским приступом, инкрементирајући и декрементирајући бројачи и регистри са више функција.

У глави 2 се разматрају могући начини формалног описа комбинационих прекидачких мрежа са VHDL. У оквиру тога се најпре дају могући описи логичких елемената који се користе за реализацију структурних шема комбинационих прекидачких мрежа и затим описи структурних шема добијених синтезом комбинационих прекидачких мрежа и комбинационих модула разматраних у глави 1.

У глави 3 се разматрају могући начини формалног описа секвенцијалних прекидачких мрежа са VHDL. У оквиру тога се најпре дају могући описи меморијских модула који се заједно са логичким елементима користе за реализацију структурних шема секвенцијалних прекидачких мрежа и затим описи структурних шема добијених синтезом секвенцијалних прекидачких мрежа и секвенцијалних модула разматраних у глави 1.

У глави 4 се даје формалан приказ могућности језика VHDL у складу са верзијом стандарда IEEE Std 1076™-2008 из 2008 године. Структура приказа језика VHDL следи структуру официјелног IEEE приручника за VHDL. Могућности језика VHDL су дате само у обиму неопходном да се прате описи комбинационих и секвенцијалних прекидачких мрежа из глава 2 и 3, па се за комплетне информације о могућностима језика VHDL у свим одељцима овог описа дају референце на одговарајућа поглавља из IEEE приручника за језик VHDL.

У глави 5 се даје коришћена литература која укључује уџбенике и збирке задатака из прекидачких мрежа и дигиталне електронике, уџбенике из пројектовања дигиталних система са VHDL и радове из области пројектовања и симулације дигиталних система.

Текст, изрази и слике су пажљиво проверавани, а сви VHDL описи тестирани. Међутим, аутори су свесни да је могуће да су се ипак поткрале одређене грешке, па ће бити захвални свима онима који им буду указали на њих.

Нови Пазар, 21.12.2020.

Аутори

САДРЖАЈ

1	ПРЕКИДАЧКЕ МРЕЖЕ	1
1.1	СТРУКТУРА ПРЕКИДАЧКИХ МРЕЖА	1
1.1.1	Прекидачке функције	1
1.1.1.1	Булова алгебра	1
1.1.1.2	Дефиниција и представљање прекидачких функција	6
1.1.1.3	Минимизација прекидачких функција	15
1.1.2	Прекидачке мреже	23
1.1.2.1	Дефиниција и подела прекидачких мрежа	23
1.1.2.2	Логички и меморијски елементи	28
1.1.2.2.1	Логички елементи	28
1.1.2.2.2	Меморијски елементи	29
1.1.2.3	Структура прекидачких мрежа	33
1.1.2.3.1	Комбинационе прекидачке мреже	33
1.1.2.3.2	Секвенцијалне прекидачке мреже	34
1.1.2.4	Синтеза прекидачких мрежа	36
1.1.2.4.1	Комбинационе прекидачке мреже	36
1.1.2.4.2	Секвенцијалне прекидачке мреже	39
1.2	КОМБИНАЦИОНИ МОДУЛИ	47
1.2.1	Мултиплексер	48
1.2.2	Демултиплексер	51
1.2.3	Декодер	55
1.2.4	Кодер	57
1.2.5	Померач	65
1.2.6	Инкрементер и декрементер	68
1.2.7	Сабирач и одузимач	79
1.2.8	Аритметичка јединица	90
1.2.9	Логичка јединица	101
1.2.10	Аритметичко логичка јединица	104
1.2.11	Компаратор	116
1.3	СТЕКВЕНЦИЈАЛНИ МОДУЛИ	123
1.3.1	Регистар	123
1.3.1.1	Регистар са паралелним приступом	123
1.3.1.2	Регистар са серијским приступом	127
1.3.2	Бројач	135
1.3.2.1	Инкрементирајући бројач	135
1.3.2.2	Декрементирајући бројач	141
1.3.3	Регистар са више операција	146
1.3.3.1	Регистар са паралелним уписом, серијским уписом померањем удесно и улево и брисањем ..	148
1.3.3.2	Регистар са паралелним уписом, инкрементирањем, декрементирањем и брисањем	152
2	VHDL ОПИСИ КОМБИНАЦИОНИХ ПРЕКИДАЧКИХ МРЕЖА	159
2.1	КОМБИНАЦИОНЕ ПРЕКИДАЧКЕ МРЕЖЕ	159
2.2	КОМБИНАЦИОНИ МОДУЛИ	168
2.2.1	Мултиплексер	168
2.2.2	Демултиплексер	175
2.2.3	Декодер	183
2.2.4	Кодер	188
2.2.5	Померач	201
2.2.6	Инкрементер и декрементер	205
2.2.7	Сабирач и одузимач	221
2.2.8	Аритметичка јединица	237

2.2.9	Логичка јединица.....	256
2.2.10	Аритметичко логичка јединица.....	259
2.2.11	Компаратор.....	273
3	VHDL ОПИСИ СЕКВЕНЦИЈАЛНИХ ПРЕКИДАЧКИХ МРЕЖА	281
3.1	СЕКВЕНЦИЈАЛНЕ ПРЕКИДАЧКЕ МРЕЖЕ.....	281
3.2	СЕКВЕНЦИЈАЛНИ МОДУЛИ.....	284
3.2.1	Регистар.....	285
3.2.1.1	Регистар са паралелним приступом.....	285
3.2.1.2	Регистар са серијским приступом.....	289
3.2.2	Бројач.....	301
3.2.2.1	Инкрементирајући бројач.....	301
3.2.2.2	Декрементирајући бројач.....	311
3.2.3	Регистар са више операција.....	322
3.2.3.1	Регистар са паралелним уписом, серијским уписом померањем удесно и улево и брисањем.....	322
3.2.3.2	Регистар са паралелним уписом, инкрементирањем, декрементирањем и брисањем.....	328
4	VHDL ЈЕЗИК.....	345
4.1	VHDL СТАНДАРД.....	345
4.2	ПРОЈЕКТНИ ЕНТИТЕТ.....	346
4.2.1	Декларација ентитета.....	346
4.2.2	Тело архитектуре.....	348
4.3	ПОТПРОГРАМИ И ПАКЕТИ.....	349
4.3.1	Декларација потпрограма.....	350
4.3.2	Тело потпрограма.....	351
4.3.3	Декларација инстанцирања потпрограма.....	352
4.3.4	Декларација пакета.....	353
4.3.5	Тело пакета.....	354
4.3.6	Декларација инстанцирања пакета.....	355
4.4	ТИПОВИ.....	355
4.4.1	Скаларни типови.....	356
4.4.1.1	Типови набрајања.....	357
4.4.1.2	Целобројни типови.....	358
4.4.1.3	Физички типови.....	358
4.4.1.4	Типови покретног зареза.....	359
4.4.2	Композитни типови.....	360
4.4.2.1	Типови матрица.....	360
4.4.2.2	Типови записа.....	361
4.4.3	Типови приступа.....	362
4.4.4	Типови фајла.....	363
4.4.5	Заштићени типови.....	363
4.5	ДЕКЛАРАЦИЈЕ.....	365
4.5.1	Декларације типова.....	365
4.5.2	Декларације подтипова.....	365
4.5.3	Декларације објекта.....	366
4.5.3.1	Декларације константи.....	366
4.5.3.2	Декларације сигнала.....	367
4.5.3.3	Декларације променљивих.....	367
4.5.3.4	Декларације фајлова.....	367
4.5.4	Декларације интерфејса.....	368
4.5.4.1	Декларације објекта интерфејса.....	368
4.5.4.2	Декларације типа интерфејса.....	369
4.5.4.3	Декларација потпрограма интерфејса.....	369
4.5.4.4	Декларација пакета интерфејса.....	370
4.5.4.5	Интерфејсне листе.....	370
4.5.4.5.1	Клаузула генерика.....	371
4.5.4.5.2	Клаузула порта.....	371
4.5.4.6	Листе придруживања.....	371
4.5.4.6.1	Мапирање генерика.....	372
4.5.4.6.2	Мапирање портова.....	373
4.5.5	Декларације алијаса.....	373

4.5.6	Декларације атрибута.....	373
4.5.7	Декларације компонента.....	374
4.6	ИМЕНА.....	374
4.6.1	Просто име.....	375
4.6.2	Селековано име.....	376
4.6.3	Индексно име.....	376
4.6.4	Име одреска.....	377
4.6.5	Имена атрибута.....	377
4.7	ИЗРАЗИ.....	378
4.7.1	Оператори.....	379
4.7.1.1	Оператор услова.....	380
4.7.1.2	Логички оператори.....	380
4.7.1.3	Релациони оператори.....	380
4.7.1.4	Оператори померања.....	381
4.7.1.5	Оператори сабирања.....	381
4.7.1.6	Оператори знака.....	381
4.7.1.7	Оператори множења.....	382
4.7.1.8	Мешовити оператори.....	382
4.7.2	Операнди.....	382
4.7.2.1	Литерали.....	383
4.7.2.2	Агрегати.....	383
4.7.2.3	Позив функције.....	385
4.7.2.4	Квалификовани изрази.....	385
4.7.2.5	Конверзије типова.....	385
4.7.2.6	Алокатори.....	386
4.8	СЕКВЕНЦИЈАЛНИ ИСКАЗИ.....	386
4.8.1	Исказ WAIT.....	387
4.8.2	Исказ тврђе.....	387
4.8.3	Исказ извештаја.....	388
4.8.4	Исказ за доделу вредности сигналу.....	388
4.8.4.1	Исказ SIMPLE.....	389
4.8.4.2	Исказ CONDITIONAL.....	389
4.8.4.3	Исказ SELECTED.....	390
4.8.5	Исказ за доделу вредности променљивој.....	391
4.8.5.1	Исказ SIMPLE.....	391
4.8.5.2	Исказ CONDITIONAL.....	391
4.8.5.3	Исказ SELECTED.....	391
4.8.6	Исказ за позив процедуре.....	391
4.8.7	Исказ IF.....	392
4.8.8	Исказ CASE.....	392
4.8.9	Исказ LOOP.....	393
4.8.10	Исказ NEXT.....	394
4.8.11	Исказ EXIT.....	394
4.9	КОНКУРЕНТНИ ИСКАЗИ.....	394
4.9.1	Исказ блока.....	395
4.9.2	Исказ процеса.....	396
4.9.3	Исказ за конкурентни позив процедуре.....	397
4.9.4	Исказ за конкурентну тврђе.....	398
4.9.5	Конкурентни исказ за доделу вредности сигналу.....	398
4.9.6	Искази за инстанцирање компонента.....	399
4.9.7	Исказ за понављање дела описа.....	399
4.10	ЛЕКСИЧКИ ЕЛЕМЕНТИ.....	401
4.10.1	Сет карактера.....	401
4.10.2	Лексички елементи, сепаратори и делимитери.....	402
4.10.3	Идентификатори.....	403
4.10.4	Апстрактни литерали.....	403
4.10.5	Литерали карактера.....	404
4.10.6	Литерали стринга.....	405
4.10.7	Литерали бит стринга.....	405
4.10.8	Коментари.....	406
4.10.9	Резервисане речи.....	407

5	ЛИТЕРАТУРА	409
---	------------------	-----

1 ПРЕКИДАЧКЕ МРЕЖЕ

У овој глави се разматрају најпре основни елементи прекидачких мрежа а затим комбинациони и секвенцијални модули који реализују пресликавања улазних на излазне сигнале која се најчешће користе приликом реализације дигиталних система.

1.1 СТРУКТУРА ПРЕКИДАЧКИХ МРЕЖА

У овом одељку се разматрају најпре прекидачке функције којима се представља функционисање прекидачких мрежа и затим саме прекидачке мреже

1.1.1 ПРЕКИДАЧКЕ ФУНКЦИЈЕ

У овом одељку се разматрају Булова алгебра, прекидачке функције и минимизација Булових израза прекидачких функција.

1.1.1.1 БУЛОВА АЛГЕБРА

Нека су на скупу $B = \{a, b, c, \dots\}$ дефинисане уарна операција " - " и бинарне операције " + " и " · " и то тако да за свако $a \in B$ вреди $\bar{a} = b$, где је $b \in B$, и за свако $a, b \in B$ вреди $a + b = c$ и $a \cdot b = c$, где је $c \in B$. Операције " - ", " + " и " · " се обично називају комплементирање, сабирање и множење.

Скуп B са операцијама " - ", " + " и " · " представља Булову алгебру ако операције задовољавају следеће аксиоме – постулате:

Аксиома А.1. - закон асоцијативности

$$A.1.a) a + (b + c) = (a + b) + c$$

$$A.1.б) a \cdot (b \cdot c) = (a \cdot b) \cdot c$$

Аксиома А.2. - закон комутативности

$$A.2.a) a + b = b + a$$

$$A.2.б) a \cdot b = b \cdot a$$

Аксиома А.3. - закон неутралних елемената 0 и 1

$$A.3.a) a + 0 = 0 + a = a$$

$$A.3.б) a \cdot 1 = 1 \cdot a = a$$

Аксиома А.4. - закон комплементарности

$$A.4.a) a + \bar{a} = 1$$

$$A.4.б) a \cdot \bar{a} = 0$$

Аксиома А.5. - закон дистрибутивности

$$A.5.a) a \cdot (b + c) = (a \cdot b) + (a \cdot c)$$

$$A.5.б) a + (b \cdot c) = (a + b) \cdot (a + c)$$

Аксиома А.1. Булове алгебре, која се назива и закон асоцијативности, одређује да за операцију сабирања није битан редослед извршавања операције и да је свеједно да ли се најпре реализује сабирање елемената b и c и затим елемента a или најпре сабирање елемената a и b и затим елемента c . Исто важи и за операцију множења.

Аксиома А.2. Булове алгебре, која се назива и закон комутативности, одређује да за операцију сабирања није битан редослед писања симбола елемената и да је свеједно да ли се најпре пише a па b или b па a . Исто важи и за операцију множења.

Аксиома А.3. Булове алгебре, која се назива и закон неутралних елемената 0 и 1, одређује да за операцију сабирања постоји неутрални елемент константа 0 тако да за сваки

елемент a вреди да је $a+0$ или $0+a$ једнако a . Слично важи и за операцију множења за коју постоји неутрални елемент константа 1 тако да за сваки елемент a вреди да је $a \cdot 1$ или $1 \cdot a$ једнако a .

Аксиома А.4. Булове алгебре, која се назива и закон комплементарности, одређује да је код операције сабирања сума елемента и његовог комплемента 1 . Слично важи и за операцију множења код које је производ елемента и његовог комплемента 0 .

Аксиома А.5. Булове алгебре, која се назива и закон дистрибутивности, одређује да постоји дистрибутивност операције множења у односу на операцију сабирања и да се производ елемента a и суме елемената b и c може написати и као сума производа елемената a и b и елемената a и c . Слично постоји и дистрибутивност операције сабирања у односу на операцију множења па се сума елемента a и производа елемената b и c може написати и као производ суме елемената a и b и елемената a и c .

Из аксиома Булове алгебре се види да су све аксиоме дате у облику једнакости Булових израза и да постоји симетричност аксиома Булове алгебре.

Булови изрази се формирају комбинацијом симбола који у Буловој алгебри означавају елементе и операције. При томе a , b и c означавају произвољне елементе а 0 и 1 константе. Ради једноставнијег писања Булових израза усвојена је конвенција о приоритету операција по којој највиши приоритет има унарна операција " \neg ", затим нижи приоритет има бинарна операција " \cdot " и најнижи приоритет има бинарна операција " $+$ ".

У Буловим изразима се заграда користе за промену редоследа операција. Као пример се могу узети израз $a \cdot b + c$ и израз $a \cdot (b + c)$. У случају израза $a \cdot b + c$ применом усвојене конвенције о приоритетима операција најпре се реализује множење a и b , а затим сабирање са c , док се у случају израза $a \cdot (b + c)$ коришћењем заграда мења редослед операција, па се најпре реализује сабирање b и c , а затим множење са a .

Заграда се не морају писати када је и поред конвенције о приоритетима операција јасан редослед операција. Као пример се могу узети израз $\overline{(a + b)}$ и израз $\overline{a + b}$. У случају израза $\overline{(a + b)}$ се заградама одређује да треба променити редослед операција и најпре реализовати сабирање a и b , а затим комплементирање. Међутим и из израза $\overline{a + b}$ је јасно да, и поред тога што нема заграда, најпре треба реализовати сабирање a и b , а затим комплементирање и да се уместо $\overline{(a + b)}$ може писати $\overline{a + b}$.

Знак операције множења " \cdot " се може изоставити. Као пример се могу узети израз $a \cdot b$ и израз ab . У случају израза $a \cdot b$ се појављује симбол операције множења. Међутим и из израза ab је јасно да треба реализовати множење елемената a и b , па се уместо израза $a \cdot b$ може писати израз ab .

Симетричност аксиома Булове алгебре се огледа у томе да су у изразима под а) и б) за сваку од пет аксиома симболи елемената и операције " \neg " непромењени, да је сваки симбол операције " $+$ " замењен симболом операције " \cdot " и обрнуто и да је сваки симбол константе " 1 " замењен симболом константе " 0 " и обрнуто. Из симетричности аксиома Булове алгебре произлази принцип дуалности, при чему се у дефиницији принципа дуалности јавља појам дуалног израза. Каже се да је Булов израз Q^d дуалан Буловом изразу Q уколико је Булов израз Q^d добијен од Буловог израза Q тако што је у њему сваки симбол елемента и сваки симбол операције " \neg " задржан непромењен, сваки симбол операције " $+$ " замењен симболом операције " \cdot " и обрнуто и сваки симбол константе " 1 " замењен симболом константе " 0 " и обрнуто. Истим поступком се од Буловог израза $(Q^d)^d$ добија Булов израз Q , па важи и да је Булов израз Q дуалан израз Буловом изразу $(Q^d)^d$.